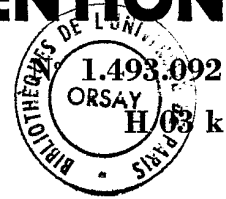


BREVET D'INVENTION

P.V. n° 69.489

Classification internationale :



Procédé et dispositif de conversion analogique-numérique rapide. (Invention : Roger CHARBONNIER.)

Société dite : ROCHAR ÉLECTRONIQUE résidant en France (Hauts-de-Seine).

Demandé le 15 juillet 1966, à 9^h 50^m, à Paris.

Délivré par arrêté du 17 juillet 1967.

(Bulletin officiel de la Propriété industrielle, n° 34 du 25 août 1967.)

(Brevet d'invention dont la délivrance a été ajournée en exécution de l'article 11, § 7, de la loi du 5 juillet 1844 modifiée par la loi du 7 avril 1902.)

L'invention se rapporte à un procédé et à un dispositif de conversion analogique-numérique rapide capable d'opérer un million de conversions par seconde.

D'une manière plus précise, l'invention se rapporte à un procédé de conversion analogique-numérique du type à essais successifs, c'est-à-dire à un procédé dans lequel le courant ou la tension à convertir est successivement comparé à des courants pondérés de valeurs décroissantes. Les courants pondérés sont maintenus ou retirés suivant le résultat de la comparaison, le maintien d'un courant de poids déterminé se traduisant par la délivrance d'un signal binaire de rang convenable.

Un tel procédé rappelle pour sa mise en œuvre la méthode de pesée à partir d'une boîte de poids. La tension à numériser est comparée à une première tension de référence et, si elle lui est inférieure, on passe à l'opération suivante en inscrivant un zéro pour représenter le chiffre d'ordre le plus élevé. Si au contraire elle lui est égale ou supérieure, on inscrit le chiffre binaire 1, puis on retranche de la tension d'entrée la tension de référence utilisée avant de passer à l'opération suivante. Le même processus est alors renouvelé en utilisant chaque fois une tension de référence proportionnelle au poids essayé, ce qui permet d'engendrer successivement tous les bits du nombre représentatif de la tension d'entrée dans le code choisi. La mise en œuvre d'un tel procédé utilise généralement un registre à décalages piloté par une horloge, une série de bascules-mémoires et des commutateurs d'admittances, un jeu de portes auxiliaires et un élément de comparaison qui peut être un amplificateur opérationnel.

Avec un tel dispositif, le temps nécessaire à une conversion est égal au produit de la période de l'horloge par le nombre de bits du code utilisé. Dans le cas où il est indispensable

de réaliser la conversion en un temps extrêmement court, la durée de conversion nécessitée par les procédés connus est trop grande.

L'objet de l'invention concerne un perfectionnement au procédé ci-dessus dont la mise en œuvre permet de diminuer considérablement le temps de conversion et ainsi de réaliser un convertisseur analogique-numérique rapide adapté aux cas d'emploi particulièrement sévères, la télémesure par exemple.

Selon l'invention, un procédé de conversion analogique-numérique du genre à essais successifs, dans lequel le courant à convertir est successivement comparé à des courants pondérés de valeurs décroissantes qui sont maintenus ou retirés suivant le résultat de la comparaison, le maintien d'un courant de poids déterminé se traduisant par la délivrance d'un signal binaire de rang convenable, est caractérisé en ce que le temps affecté à chaque essai est proportionnel au logarithme de la valeur du courant essayé.

Grâce à cette disposition, le temps de conversion est considérablement diminué bien que la qualité des résultats ne soit pas modifiée.

On sait que les amplificateurs les mieux étudiés possèdent une constante de temps τ qui ne peut être négligée dans un convertisseur rapide. On sait encore que, dans un convertisseur à essais successifs utilisant un code binaire à n chiffres, il suffit, pour que la précision de l'ensemble soit convenable, que la pesée d'un courant de rang quelconque se fasse avec une précision absolue au plus égale à 2^{-n} fois la valeur maximale. Si, en première approximation, on assimile la constante de temps τ de l'amplificateur-comparateur à celle d'un circuit RC, on s'aperçoit immédiatement que dans le cas du courant pondéré le plus fort d'un convertisseur à dix chiffres binaires (poids : $2^9 = 512$), il suffit, pour obtenir une précision

de 2^{10} sur la pesée, d'un temps égal à 7τ (puisque $e^7 \neq 2^{10}$). Dans le cas des courants de poids respectifs 256 et 128, il suffira de temps égaux à $6,3\tau$ et à $5,6\tau$ pour avoir la même précision absolue.

Le dispositif pour la mise en œuvre du procédé selon l'invention est donc essentiellement caractérisé par un cadencement asynchrone adapté au temps réellement nécessaire à chaque essai, compte tenu de la précision requise.

Les caractéristiques et avantages de l'invention apparaîtront d'ailleurs d'une manière plus précise après la description qui va suivre donnée uniquement à titre d'exemple non limitatif en référence au dessin annexé représentant le schéma synoptique d'un convertisseur analogique-numérique selon l'invention.

Selon la figure, la tension à convertir E est appliquée à une des entrées d'un amplificateur-comparateur AC. La sortie de l'amplificateur AC est réunie aux entrées de commande d'une série de portes $P_n, P_{n-1}, P_{n-2} \dots$

Une série de bascules bistables $BB_n, BB_{n-1} \dots$ est prévue. L'entrée 1 de la bascule BB_n est reliée à la sortie d'une horloge de cadencement HC adaptée à délivrer une impulsion unique au début du cycle de conversion. La sortie 1 de la bascule BB_n est réunie à l'entrée de commande d'une source de courant pondéré IP_n . Aux autres bascules sont associées des sources de courant pondéré $IP_{n-1}, IP_{n-2} \dots$ dont les valeurs décroissantes se succèdent suivant les puissances de deux. Les sorties des sources de courant IP sont réunies ensemble et appliquées à la seconde entrée de l'amplificateur AC. La sortie 1 de la bascule BB_{n-1} est reliée à travers la porte P_n à l'entrée 0 de la bascule BB_n . Il en est de même de chacune des autres bascules du dispositif. La sortie 0 de la bascule BB_n est connectée à l'entrée d'un circuit de durée θ_n dont la sortie est appliquée à l'entrée 1 de la bascule BB_{n-1} . Dans les mêmes conditions, des circuits de retard de valeurs $\theta_{n-1}, \theta_{n-2}, \dots$, sont placés entre la sortie 0 de chaque bascule BB et l'entrée 1 de la bascule de rang immédiatement inférieur.

On précisera à titre d'exemple, dans le cas où $n = 10$, que

$$\theta_n = 7\tau, \theta_{n-1} = 6,3\tau, \theta_{n-2} = 5,6\tau \dots \text{et } \theta_1 = 0,7\tau.$$

Le fonctionnement du dispositif selon la figure est simple. A l'origine, toutes les bascules $BB_n \dots BB_1$ sont dans l'état 0. Lorsqu'une impulsion de cadencement est délivrée par l'horloge HC à l'entrée 1 de la bascule BB_n , un signal 1 apparaît sur la sortie 1 de ladite bascule, cependant qu'une transition constituée par une impulsion brève apparaît sur sa sortie 0 et est appliquée à l'entrée du circuit à retard θ_n . La présence d'un état 1 sur la sortie 1 de la bascule BB_n permet à un courant

pondéré i_n d'être appliqué à la seconde entrée de l'amplificateur AC. Si ce courant i_n est inférieur au courant d'entrée, l'état de la sortie de l'amplificateur-comparateur AC est tel que les portes P restent bloquées. Dans ces conditions, l'impulsion qui a transité dans le circuit à retard θ_n et a provoqué le basculement de BB_{n-1} est sans effet sur l'état de BB_n : le courant i_n est maintenu. Ce courant i_n aurait par contre été retiré si la sortie de AC avait été autre, car dans ce cas, la porte P_n étant passante, le passage à l'état 1 de BB_{n-1} aurait ramené BB_n à l'état initial 0.

Cet essai a duré 7τ . L'essai suivant durera $6,3\tau$, etc. Le temps nécessaire aux dix essais est de $38,5\tau$, au lieu de 70τ que le procédé utilisé jusqu'à présent aurait exigés.

A chaque application d'un courant de rang x , accompagnée ou non du retrait du courant de poids immédiatement supérieur, la variation de courant d'entrée subie par l'amplificateur AC est égale à $|i_x|$. Dans le cas d'une conversion à dix chiffres, le régime transitoire engendré par cette variation prend une valeur finale précise à 2^{-10} de la valeur maximale au bout d'un temps égal à $0,7.x.\tau$. L'intérêt du perfectionnement selon l'invention découle donc directement du fait que l'on alloue à chaque essai un temps calculé au plus juste, ce qui permet de diviser pratiquement par deux le temps total de conversion.

Si la constante de temps τ de l'amplificateur AC ne peut être assimilée à celle d'un circuit RC, les coefficients de proportionnalité qui relient le facteur τ à la durée des circuits à retards successifs seront modifiés d'une manière empirique, à partir de la réponse indicelle réelle de l'amplificateur. Dans le cas d'une conversion binaire, ils resteront bien entendu proportionnels au plus à une constante près au rang du courant commuté. Dans tous les cas, ils seront proportionnels au logarithme du poids dudit courant.

Le dispositif de mise en œuvre de l'invention n'est, bien entendu, pas limité à la forme de réalisation décrite. C'est ainsi par exemple qu'au lieu d'une horloge de cadencement et une série de circuits à retard (lignes à retard proprement dites ou univibrateurs notamment) on pourra utiliser un générateur délivrant des trains d'impulsions réparties dans le temps d'une manière telle qu'à l'aide d'un distributeur électronique, chacune d'entre elles puisse être appliquée à l'instant opportun aux entrées des bascules BB.

Par ailleurs, il est bien évident qu'au lieu d'adopter des courants pondérés suivant un code binaire pur, on pourrait en utiliser qui seraient définis suivant un autre code, le code binaire-décimal par exemple.

RÉSUMÉ

1° Procédé de conversion analogique-numérique du genre à essais successifs, dans lequel le courant à convertir est successivement comparé à des courants pondérés de valeurs décroissantes qui sont maintenus ou retirés suivant le résultat de la comparaison, le maintien d'un courant de poids déterminé se traduisant par la délivrance d'un signal binaire de rang convenable, caractérisé en ce que le temps affecté à chaque essai est proportionnel au logarithme de la valeur du courant essayé.

2° Dispositif de conversion analogique-numérique binaire, du type à essais successifs, caracté-

térisé en ce qu'il comporte une horloge de cadencement délivrant une impulsion unique de commande de conversion appliquée à l'étage de poids maximal, ladite impulsion étant transmise en cascade aux étages de rangs inférieurs à travers des circuits à retard successifs dont la durée du retard est proportionnelle au rang de chaque étage intéressé.

Société dite :

ROCHAR ÉLECTRONIQUE

Par procuration :

R. LE CREN

